

to each
other by wires and each substrate 12 and leads 17 of the lead frame
14 are
connected by wires. The substrates 12 and the lead frame 14 are
molded with a
resin 21.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-45476

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl.⁵

H 0 1 L 23/28

23/12

25/04

識別記号

E 8617-4M

9355-4M

F I

H 0 1 L 23/ 12

25/ 04

H

Z

技術表示箇所

審査請求 未請求 請求項の数2(全 5 頁) 最終頁に続く

(21)出願番号

特願平4-194072

(22)出願日

平成4年(1992)7月21日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 六川 嘉信

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 春原 秀康

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 中川 祐一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外3名)

最終頁に続く

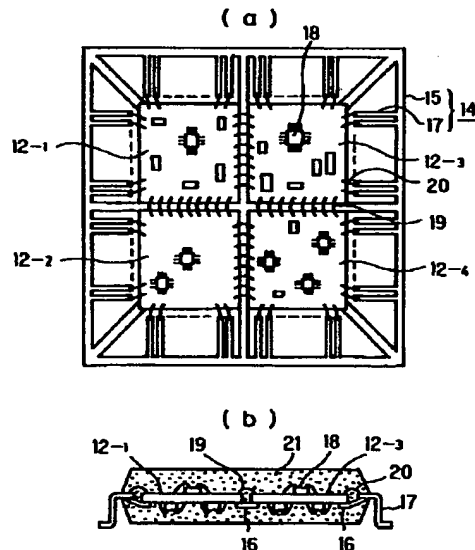
(54)【発明の名称】 混成集積回路の製造方法

(57)【要約】

【目的】 本発明は混成集積回路の製造方法に関し、大型モールドパッケージの混成集積回路を歩留り良く、且つ機能チェックが容易な混成集積回路の製造方法を実現することを目的とする。

【構成】 所要の混成集積回路パターンを複数に分割し、その分割した各回路パターンをそれぞれセラミック基板12に厚膜または薄膜で形成する工程と、上記各セラミック基板12に半導体チップ、コンデンサ、抵抗などの部品18を搭載する工程と、上記複数個のセラミック基板12を1個のリードフレーム14に搭載する工程と、上記各基板間及び各基板12とリードフレームのリード17間をワイヤボンディングする工程と、上記各基板12及びリードフレーム14を樹脂21にてモールドする工程とより成るように構成する。

本発明の実施例を示す図



12-1、12-4—基板

14—リードフレーム

15—タイパ

16—基板支持部

17—リード

18—部品

19、20—ワイヤ

21—樹脂

【特許請求の範囲】

【請求項1】 所要の混成集積回路パターンを複数に分割し、その分割した各回路パターン(11)をそれぞれセラミック基板(12)に厚膜または薄膜で形成する工程と、

上記各セラミック基板(12)に半導体チップ、コンデンサ、抵抗などの部品(18)を搭載する工程と、

上記複数個のセラミック基板(12)を1個のリードフレーム(14)に搭載する工程と、

上記各基板間及び各基板(12)とリードフレームのリード(17)間をワイヤボンディングする工程と、

上記各基板(12)及びリードフレーム(14)を樹脂(21)にてモールドする工程、

とより成ることを特徴とする混成集積回路の製造方法。

【請求項2】 請求項1の混成集積回路の製造方法により製造されたことを特徴とする混成集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は混成集積回路の製造方法に関する。詳しくは、高機能化、大規模化した表面実装型の混成集積回路を歩留り良く製造する製造方法に関する。

【0002】

【従来の技術】近年、表面実装タイプの混成集積回路においては、高機能化、大規模化の要求に伴い、モールドパッケージの大型化が要求されている。このため基板の大型化、高密度実装、モールドパッケージの大型化など種々の提案がなされている。図4は従来のモールドタイプの混成集積回路を示す図である。これは、厚膜又は薄膜でパターン形成されたセラミック等の絶縁基板2にICチップ等の部品3を搭載し、これをリードフレーム4に搭載し、基板2とリード5との間をワイヤ6でワイヤボンディングした後、樹脂7でモールド封止したものである。

【0003】

【発明が解決しようとする課題】上記従来のモールドタイプの混成集積回路においては、モールドパッケージの大型化の一方、所望の電子回路を分割して複数のパッケージにする方法が採られていた。ところが機能の拡大と小型化への要求が大きいため、パッケージを複数にする

とデッドスペースが大きくなるという問題があった。

【0004】また、大型モールドパッケージに高密度実装した基板をパッケージする場合は、基板を大型化すると、その基板がセラミックであると、図5に示すようにグリーンシート時に予めスルーホール8があげられているため、焼成時のシュリネージのバラツキによりスルーホール8の孔位置が設計位置から外れ、パターン9の作成時の歩留りが低下する。

【0005】また、大型基板は半導体のボンディング工程に於いて、多数のICにワイヤボンディング(例えば

500~1000本)する場合、ボンディング時間が長くなり、膜が高熱にさらされる時間が長くなるのでボンディング性への悪影響がある。また、基板膜形成後のパターンチェックや部品搭載後の機能チェックは大規模の回路になり、チェックポイントの増加と回路の複雑化によりチェックポイントの探索や、試験回路作成を困難にする等の問題を生じていた。

【0006】本発明は、大型モールドパッケージの混成集積回路を歩留り良く、且つ機能チェックが容易な混成集積回路の製造方法を実現しようとする。

【0007】

【課題を解決するための手段】本発明の混成集積回路の製造方法に於いては、所要の混成集積回路パターンを複数に分割し、その分割した各回路パターン11をそれぞれセラミック基板12に厚膜または薄膜で形成する工程と、上記各セラミック基板に半導体チップ、コンデンサ、抵抗などの部品18を搭載する工程と、上記複数個のセラミック基板12を1個のリードフレーム14に搭載する工程と、上記各基板間及び各基板12とリードフレームのリード17間をワイヤボンディングする工程と、上記各基板12及びリードフレーム14を樹脂21にてモールドする工程とより成ることを特徴とする。この構成を採ることにより、製造歩留りの良い大型のモールドパッケージ混成集積回路の製造方法が得られる。

【0008】

【作用】本発明では、図1の原理説明図に示すように、先ず(a)図の如き大型の混成集積回路10の回路パターン11を(b)、(c)図の如く複数(図は2個)に分割し、それぞれを小型基板12-1、12-2に形成する。そして、この複数個の基板12-1、12-2に耐圧チェックを行ない、部品を搭載及びワイヤボンディングし、さらに各基板毎に機能チェックを行った後、これらの基板を図示なき1個のリードフレームに搭載する。

【0009】その後回路パターンの切断部分及びリードへのワイヤボンディングを行った後、基板12-1、12-2及びリードフレームを樹脂にてモールドする。本発明はこの様に基板12-1、12-2を小型化することにより寸法精度を向上でき、パターン形成時の歩留りを向上でき、且つ各基板の部品搭載後のワイヤボンディングが減少することにより膜の熱による劣化を防止でき、さらに各基板毎に機能チェック、耐圧チェックができるため、その試験は容易となる。

【0010】

【実施例】図2は本発明の実施例を示す図であり、(a)はリードフレームに基板を搭載した状態、(b)は完成品の断面を示す図である。また図3は本発明の実施例に用いるリードフレームを示す図である。このリードフレーム14は同図に示すように棒状のタイバー15に複数の(図は4個)の基板を搭載できるように配置された基板支持部16と、多数のリード17とが形成され

ている。

【0011】本発明の実施例の混成集積回路の製造方法は、先ず所要の混成集積回路の回路パターンを複数に分割し、その分割した各回路パターン（図示省略）をそれぞれセラミック基板12-1～12-4に厚膜又は薄膜で形成した後、耐圧チェックを完全に行い、不良品は排除する。次いで該基板12-1～12-4に半導体チップ、コンデンサ、抵抗などのディスクリート部品18を搭載し、さらに該部品18と回路パターン間をワイヤボンディングにより接続した後、各基板毎に機能チェックを行う。

【0012】次に機能チェックを行なった基板12-1～12-4を図3に示したリードフレーム14に、図2の如く搭載し、さらに各基板間をワイヤ19で、また基板12-1～12-4とリードフレームのリード17間をワイヤ20でそれぞれワイヤボンディングする。次いで、この基板12-1～12-4をリードフレーム14の一部と共に樹脂21でモールドする。最後にリードフレームのタイバー15を切断除去し、リード17を折曲成形して図2(b)の如く混成集積回路を完成する。

【0013】以上の本実施例によれば、①基板サイズが小さくなり、シュリンケージによるスルーホール位置精度の低下を防止することができるため、厚膜又は薄膜による回路パターン形成時の歩留りが向上する。②回路分割により、膜形成後の耐圧チェック及び閉回路のチェックポイント探しが容易となる。③1つの基板への部品搭載数が減少するため、ワイヤボンディングによる熱の印加時間が短くなり、ボンディング強度の劣化を防止することができる。④基板毎に機能チェックを行うことができるため、試験歩留りの向上、リブレース性の向上ができ、さらに試験回路が簡単となり、その作成が容易と

なる。

【0014】

【発明の効果】本発明に依れば、所望の大規模電子回路を大型モールドパッケージに納めることができ、製造歩留りの向上、機能試験の容易化による性能向上等に寄与することができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の混成集積回路の製造方法の実施例を説明するための図で、(a)はリードフレームに基板を搭載した状態を示す図、(b)は完成品の断面図である。

【図3】本発明の実施例に用いるリードフレームを示す平面図である。

【図4】従来の混成集積回路を示す図で、(a)は平面図、(b)は(a)図のb-b線における断面図である。

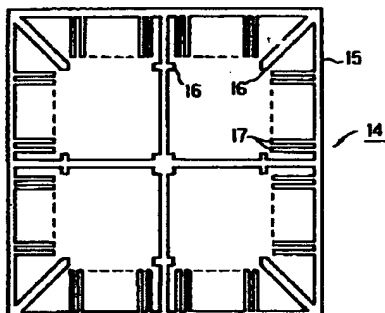
【図5】発明が解決しようとする課題を説明するための図である。

【符号の説明】

- 10…混成集積回路
- 11, 11'…混成集積回路パターン
- 12, 12-1～12-4…基板
- 13…スルーホール
- 14…リードフレーム
- 15…タイバー
- 16…基板支持部
- 17…リード
- 18…部品
- 19, 20…ワイヤ
- 21…樹脂

【図3】

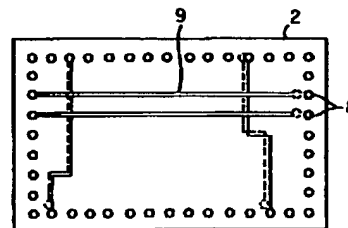
本発明の実施例に用いるリードフレームを示す図



- 14…リードフレーム
- 15…タイバー
- 16…基板支持部
- 17…リード

【図5】

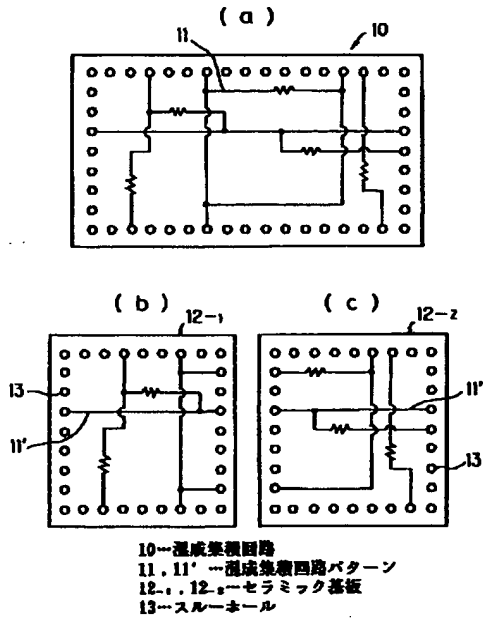
発明が解決しようとする課題を説明するための図



- 2…基板
- 8…スルーホール
- 9…パターン

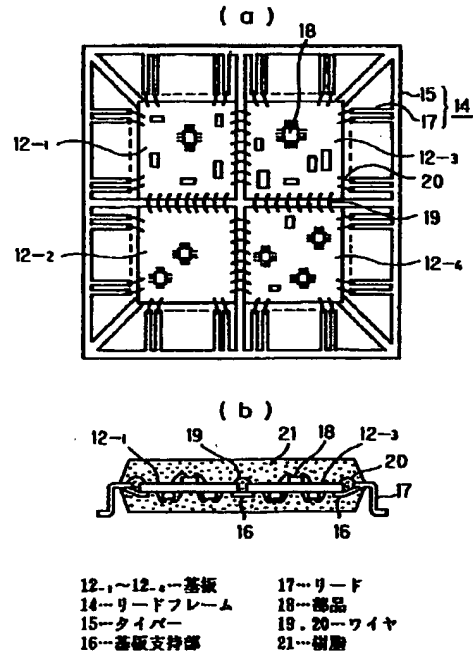
【図1】

本発明の原理説明図



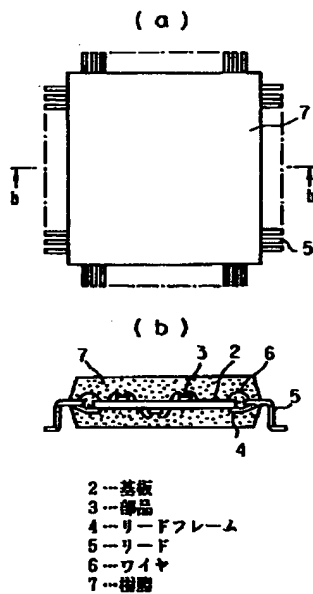
【図2】

本発明の実施例を示す図



【図4】

従来の混成集積回路を示す図



フロントページの続き

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	25/18			
	25/065			
	25/07			
			H 0 1 L 25/08	Z
(72)発明者	藤沢 和久			
	神奈川県川崎市中原区上小田中1015番地			
	富士通株式会社内			